



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10290249

(43)Date of publication of application: 27.10.1998

(51)Int.Cl.

H04L 12/42
H04B 1/74

(21)Application number: 09098909

(71)Applicant:

HITACHI LTD

(22)Date of filing: 16.04.1997

(72)Inventor:

USUHA KEIJI

MURAKAMI HIROMI

FUKUSHIMA TAKAO

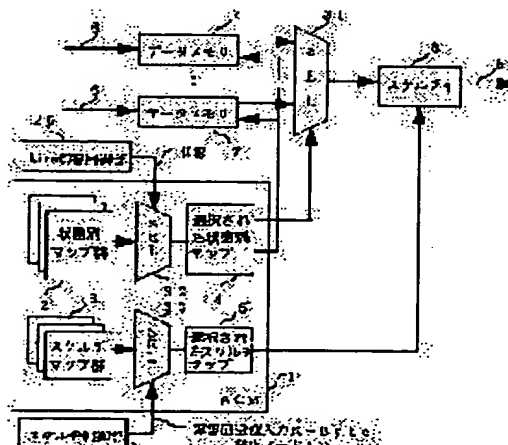
MORI TAKASHI

(54) BLSR NETWORK TRANSMITTER, BLSR NETWORK SYSTEM, AND TRAFFIC OUTPUT CONTROL METHOD AT OUTPUT PATH CHANGEOVER ON OCCURRENCE OF FAULT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the (bidirectional line switched ring)BLSR network transmitter by which switching and squelch are executed with a simple procedure and a simple hardware configuration.

SOLUTION: Each traffic is stored in a data memory 7. A state dependent map group 2 stores a storage area of a traffic stored in a data memory 7 corresponding to the order of traffic to be outputted from an output path for each changeover state of a path on the occurrence of a fault. A state dependent map is selected depending on a switching state of a path from a Line changeover control section 25, an address control memory(ACM) 1 controls a selector



31 and selects traffic in the order of output. A squelch map group 3 is provided with a squelch map storing squelch control information corresponding to the order of the traffic to be outputted depending on a division state of a ring on the occurrence of a fault. A squelch map is selected by an instruction from a squelch control section 26 and a squelcher 8 executes squelching.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-290249

(43)公開日 平成10年(1998)10月27日

(51)Int.Cl.⁴

識別記号

F I

H 0 4 L 12/42

H 0 4 L 11/00

3 3 0

H 0 4 B 1/74

H 0 4 B 1/74

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21)出願番号 特願平9-98909

(22)出願日 平成9年(1997)4月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 蔦 榮 啓二

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72)発明者 村上 裕美

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72)発明者 福島 隆生

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74)代理人 弁理士 富田 和子

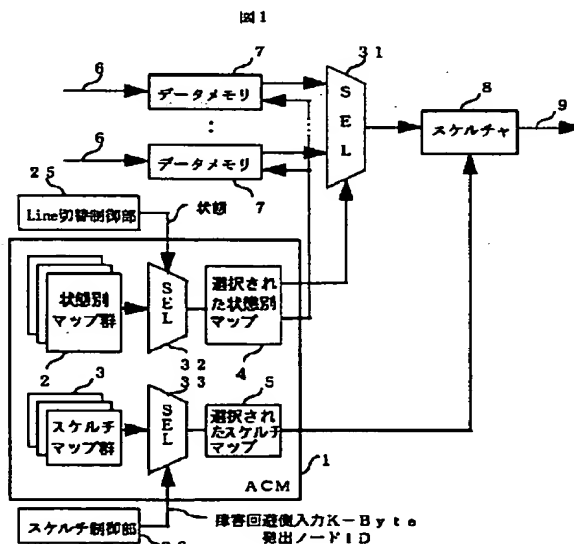
最終頁に続く

(54)【発明の名称】 BLSRネットワーク用伝送装置、BLSRネットワークシステム及び障害時の出力方路切替におけるトラヒックの出力制御方法

(57)【要約】

【課題】簡単なハードウェア構成によって単純な手順で切替およびスケルチを実行することのできるBLSRネットワーク用伝送装置を提供する。

【解決手段】各トラヒックはデータメモリ7に蓄えられる。状態別マップ群2は、障害発生時の方路の切替状態ごとに、当該出力方路から出力すべきトラヒックの順番に対応して、データメモリ7に保持するトラヒックの記憶領域を記憶する状態別マップ群を備える。Line切替制御部25からの方路の切替状態によって状態別マップが選択され、ACM1によりセレクト31の制御が行われ、出力すべき順番にトラヒックが選択される。スケルチマップ群3は、障害発生時のリングの分割状態ごとに、出力すべきトラヒックの順番に対応してスケルチ制御情報を格納したスケルチマップを備える。スケルチ制御部26からの指示によってスケルチマップが選択され、スケルチャ8によってスケルチが実行される。



【特許請求の範囲】

【請求項1】複数の光ファイバ伝送路に接続され、また、低次群装置を収容するBLSR(Bidirectional Line Switched Ring)ネットワークシステムにおける、前記低次群装置と前記光ファイバ伝送路との間でトラヒックの挿入と抽出とを行い、障害発生時に方路の切替を行うBLSRネットワーク用伝送装置であって、

出力方路毎に、前記トラヒックの出力を制御する出力制御部を有し、

前記出力制御部は、入力された前記トラヒックを一時的に保持する保持手段と、前記保持手段のアクセス制御を行う制御手段と、前記障害発生時の方路の切替状態毎に、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持手段に保持するトラヒックの記憶領域を記憶する記憶手段と、前記障害発生時の方路の切替指示を行う切替制御手段とを備え、

前記制御手段は、前記切替制御手段から指示された方路の切替指示に従って、前記記憶手段における出力すべきトラヒックの順番に、前記保持手段から、出力すべきトラヒックを読み出し、当該出力方路に読み出したトラヒックを出力させることを特徴とするBLSRネットワーク用伝送装置。

【請求項2】請求項1に記載のBLSRネットワーク用伝送装置において、前記記憶手段は、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持手段に保持するトラヒックの記憶領域を記憶するマップを、前記障害発生時の方路の切替状態毎に備えることを特徴とするBLSRネットワーク用伝送装置。

【請求項3】請求項1に記載のBLSRネットワーク用伝送装置において、前記出力制御部は、前記障害発生時の方路の切替状態により、出力すべきトラヒックの順番に対応して、当該トラヒックが無効であるか否を示すスケルチ制御情報かを記憶するスケルチ記憶手段と、前記トラヒックを出力方路に出力するときに、前記スケルチ記憶手段に記憶するスケルチ制御情報に従って、バスAIS(Alarm Indication Signal)を当該トラヒックに挿入する挿入手段とをさらに備えるBLSRネットワーク用伝送装置。

【請求項4】請求項3に記載のBLSRネットワーク用伝送装置において、前記スケルチ記憶手段は、前記障害発生時の方路の切替状態に対応する、BLSRネットワークのあらかじめ定められた、リングの分割状態ごとに、前記出力すべきトラヒックの順番に対応して前記スケルチ制御情報を格納したスケルチマップを備えることを特徴とするBLSRネットワーク用伝送装置。

【請求項5】請求項3に記載のBLSRネットワーク用伝送装置において、前記障害発生時の方路の切替状態に対応する、BLSRネットワークのあらかじめ定められた、リング分割状態を、障害回避側の他の装置から送

出されるK-byteの送出元によって判断するスケルチ制御手段をさらに備えることを特徴とするBLSRネットワーク用伝送装置。

【請求項6】請求項1に記載のBLSRネットワーク用伝送装置において、前記記憶手段は、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持手段に保持するトラヒックの記憶領域を記憶するアドレスコントロールメモリを、前記障害発生時の方路の切替状態毎に備えることを特徴とするBLSRネットワーク用伝送装置。

【請求項7】複数の光ファイバ伝送路に接続され、また、低次群装置を収容するBLSR(Bidirectional Line Switched Ring)ネットワークシステムにおいて、前記低次群装置と前記光ファイバ伝送路との間でトラヒックの挿入と抽出とを行い、障害発生時に方路の切替を行うBLSRネットワーク用伝送装置を複数有し、前記BLSRネットワーク用伝送装置の各々は、出力方路毎に、前記トラヒックの出力を制御する出力制御部を有し、

前記出力制御部は、入力された前記トラヒックを一時的に保持する保持手段と、前記保持手段のアクセス制御を行う制御手段と、前記障害発生時の方路の切替状態毎に、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持手段に保持するトラヒックの記憶領域を記憶する記憶手段と、前記障害発生時の方路の切替指示を行う切替制御手段とを備え、

前記制御手段は、前記切替制御手段から指示された方路の切替指示に従って、前記記憶手段における出力すべきトラヒックの順番に、前記保持手段から、出力すべきトラヒックを読み出し、当該出力方路に読み出したトラヒックを出力させることを特徴とするBLSRネットワークシステム。

【請求項8】複数の光ファイバ伝送路に接続され、また、低次群装置を収容するBLSR(Bidirectional Line Switched Ring)ネットワークシステムにおいて、前記低次群装置と前記光ファイバ伝送路との間でトラヒックの挿入と抽出とを行い、障害発生時に方路の切替を行うBLSRネットワーク用伝送装置における障害時の出力方路切替におけるトラヒックの出力制御方法であって、

出力方路毎であって、前記障害発生時の方路の切替状態毎に、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持するトラヒックの記憶領域をあらかじめ記憶しておき、

入力された前記トラヒックを一時的に保持し、

前記出力方路毎に、前記障害発生時の方路の切替に対応する、前記記憶している、出力すべきトラヒックの順番に、前記保持した、出力すべきトラヒックを読み出し、当該出力方路に読み出したトラヒックを出力させること

を特徴とする障害時の出力方路切替におけるトラヒックの出力制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SONET (Synchronous Optical Network) のBLSR (Bidirectional Line Switched Ring) ネットワーク用伝送装置の装置構成に関する。

【0002】

【従来の技術】現在、BLSRネットワークとしては、"Bellcore GR-1230 Issue 2" に記載されているように、2-Fiber BLSRおよび4-Fiber BLSRがある。2-Fiber BLSRは、各ノード間を2本の光ファイバでリング状に接続し、各光ファイバで時計方向と反時計方向の双方向の通信を行うとともに、各回線内の容量を二分し、二分した容量の一方を現用、他方を予備として用いている。また、4-Fiber BLSRは、時計方向と反時計方向の双方向の通信をそれぞれ1本の光ファイバで行い、また、現用回線と予備回線とをそれぞれ設け、各ノード間を4本の光ファイバで接続している。このRingネットワーク内では、例えばSTS-1 (Synchronous Transport Signal-1) と呼ばれるフレーム単位でトラヒックの転送が行われ、これらのフレームがあらかじめ定められたタイムスロットの位置に時分割多重されて伝送される。

【0003】2-Fiber BLSRおよび4-Fiber BLSRは、共に通常は現用回線を用いてトラヒックを伝送し、障害発生時などに予備回線を用いてトラヒックを救済する方法を用いている。

【0004】以下では、OC (Optical Carrier)-48の4-Fiber BLSRを例にして図面を参照して説明する。

【0005】図2は、BLSRネットワークの回線使用例 (その1) を示している。図2において、10は、BLSRネットワーク全体を示し、BLSRネットワーク10は、光ファイバ伝送路群11と複数のノード12とからなる。図2においては、6つのノード (A, B, C, D, EおよびF) からなるBLSRネットワークを示す。

【0006】光ファイバ伝送路群11は、片方向2本ずつ、双方向4本の光ファイバからなり、CW (Clock Wise) 方向現用回線13とCW方向予備回線14と、CCW (Counter Clock Wise) 方向現用回線15とCCW方向予備回線16とから構成される。複数のノード12は、光ファイバ伝送路群11に間隔を置いて挿入され、各々が低次群装置を収容し、該低次群装置と光ファイバ伝送路群11との間で各回線のトラヒック (STS-1) の挿入 (Add) また

は抽出 (Drop) を行う。

【0007】図2に示す例では、STS-1トラヒックがCW方向現用回線13のタイムスロット番号#1を用いて、ノードDで挿入され、C, B, Aの各ノードを順に経由してノードFにて抽出される。タイムスロット番号は、各ノード間で同じ番号が割り当てられる。

【0008】BLSRネットワークシステムでは、図2において、例えば、ノードA, B間の現用回線のみに障害が発生した場合には、障害区間を通過するパスを予備回線14を用いて伝送する。この場合の構成を図3に示す。図3において、現用回線13に障害が発生した場合には、ノードAおよびBは、現用回線13により伝送されていたタイムスロット番号#1を予備回線14を用いて伝送するように切り替える (この切り替えを、以下、スパンスイッチという)。

【0009】また、BLSRネットワークシステムでは、図2において、ノードA, B間の現用回線および予備回線の両方に障害が発生した場合には、障害区間を通過するパスを反時計回り方向の予備回線16にループバックさせる。この場合の構成を図4に示す。図4において、ノードA, B間の現用回線13および予備回線14の両方に障害が発生した場合には、ノードBは、現用回線13により伝送されていたタイムスロット番号#1をループさせ、予備回線16を用いて反対方向に伝送するように切り替え、ノードAは、予備回線16により伝送されたタイムスロット番号#1をループさせ、現用回線13に寄せかえる (この場合のノードAおよびBにおける切り替えを、以下、リングスイッチという)。このリングスイッチにより、ノードDで挿入された現用回線13のタイムスロット番号#1のデータは、ノードCを経由して、ノードBで現用回線13から予備回線16にループされて、寄せかえられ、ノードC, D, E, Fを経由してノードAで予備回線16から現用回線13にループされて、寄せかえられ、ノードFで抽出される。

【0010】このように、スパンスイッチまたはリングスイッチを実行するのは、障害端ノード (本例ではノードAおよびB) である。また、図4に示す例では、ノードC, D, EおよびFは、ノードA-B間において送受信される、予備回線情報および切替制御情報を示すためのK-byteを通過させるFull Pass Through状態にはいる。

【0011】次に、各ノードの構成を説明する。図5に、ノード12の構成を示す。BLSRネットワーク上のノードは、すべて同じ構成となるので代表として1つのノードの構成を示す。図5において、ノード12は、ADM (Add Drop Multiplexer) と呼ばれ、CW方向現用回線13、CW方向予備回線14、CCW方向現用回線15およびCCW方向予備回線16と、Add回線27 (低次群装置からのトラヒックを挿入するための回線) およびDrop回線28 (トラ

ヒックを抽出して低次群装置に出力するための回線)とを収容する。他のノード装置から伝送された光信号は、光レシーバ(R)21で受信され、オーバーヘッド処理部23へ入力され、オーバーヘッドの処理が施される。オーバーヘッドを取り除かれたトラヒックは、高速側と低速側との各トラヒックのTSI(Time Slot Interchange)およびTSA(Time Slot Assignment)を行うクロスコネクタ部20に入力され、STS-1単位にそれぞれの方向に振り分けられる。振り分けられたトラヒックは、それぞれ多重化され、オーバーヘッド処理部23にてオーバーヘッドの処理が施され、光トランスミッタ(T)22で光信号に変換されて、CW方向現用回線13とCW方向予備回線14とCCW方向現用回線15とCCW方向予備回線16とDrop回線28とのうちのいずれかから出力される。例えば、図2に示す構成において、STS-1#1のトラヒックは、ノードDで図5に示すAdd回線27を介して挿入され、オーバーヘッド処理部23を介してク

ロスコネクタ部20において、ノードCへの伝送路のCW方向現用回線13に振り分けられ、STS-1#1の位置に多重化され、出力される。

【0012】また、図5に示すLine切替制御部25は、伝送路の状態(ファイバ断など)やシステム全体の管理装置であるOSからの指示によりリングスイッチやスパンスイッチを実行するかどうかを決定し、切替命令をクロスコネクタ部20に指示する。クロスコネクタ部20は、Line切替制御部25からの切替命令を受けて状態(リングスイッチ、スパンスイッチ、Full Pass Throughなど)によって伝送路の切替を行う。切替命令は、あらかじめノード内で規定されている。

【0013】表1に、Line切替制御部25がクロスコネクタ部20に指示する切替命令(状態)の表を示す。

【0014】

【表1】

表1

番号	状態
1	通常時
2	West Ring Idle(Br,Sw なし)
3	West Ring Br
4	West Ring Br&Sw
5	East Ring Idle(Br,Sw なし)
6	East Ring Br
7	East Ring Br&Sw
8	West Span Idle(Br,Sw なし)
9	West Span Br
10	West Span Br&Sw
11	East Span Idle(Br,Sw なし)
12	East Span Br
13	East Span Br&Sw
14	West Span Idle/East Span Idle
15	West Span Br/East Span Idle
16	West Span Br&Sw/East Span Idle
17	West Span Idle/East Span Br
18	West Span Br/East Span Br
19	West Span Br&Sw/East Span Br
20	West Span Idle/East Span Br&Sw
21	West Span Br/East Span Br&Sw
22	West Span Br&Sw/East Span Br&Sw
23	West Full Pass Through(Unidirectional)
24	East Full Pass Through(Unidirectional)
25	Bidirectional FPT

【0015】表1において、West、Eastは、それぞれ図5に示すノードのWest側、East側に障害が発生した場合を示している。Br(Bridge)は現用回線へ出力するトラヒックを予備回線に切り替えることを示し、Sw(Switched)は現用回線から入力されるトラヒックを予備回線から入力するように切り替えることを示している。Idleは切替を行っていないことを示している。また、スパンスイッチはGR-1230によるとノードの両側で実行可能であるので番号14～22は両側で実行した場合を示している。

【0016】表1は4-Fiber BLSRの場合の状態を示しているが、2-Fiber BLSRの場合はスパンスイッチは実行されないのでスパンスイッチに関する項目は除外される。本図によれば4-Fiber

BLSRの場合には25通りの切替状態を各ノードは制御することが必要である。

【0017】次に回線誤接続について説明する。図2において、A—ノードB間およびC—ノードD間において、図7に示す×印のように現用回線および予備回線のファイバーの切断が発生した場合、図2に示すノードDからノードFへのSTS-1#1のトラヒックは、ノードB、Cを通過せずに、Dでループバックされ、CCW方向の予備回線16のSTS-1#1を用いてノードE、Fを通過し、ノードAにてループバックされてノードFで抽出される。

【0018】一方、図8に、図2に示すBLSRネットワークにおける別の回線使用例(その2)を示す。図8において、ノードEで挿入され、ノードDを通過し、ノードCで抽出されるトラヒックと、ノードCで挿入さ

れ、ノードB、Aを通過し、ノードFで抽出されるトラヒックとは、双方ともSTS-1#2を使って伝送されることを示している。図8において、図7と同様にA-ノードB間およびC-ノードD間において×印のように現用回線および予備回線のファイバーの切断等が発生した場合、図9に示すように、図7と同様にループバックするとノードFで抽出されるトラヒックは、STS-1#2を使用するため、ノードEで挿入されたトラヒックとなり回線の誤接続が発生する。このようなことを防ぐために、GR-1230 Issue2では、ループバックを行うノードAでは、バスAIS(Alarm Indication Signal)を、このSTS-1#2のトラヒックの規定された位置に挿入する操作を行うことを規定している。このバスAISを挿入する操作は、スケルチ(Squelch)と呼ばれる。バスAISが挿入されているトラヒックは、ノードに接続される低次群装置において廃棄される。

【0019】また、図10に、図2に示すBLSRネットワークにおける別の回線使用例(その3)を示す。図10においては、ノードEで挿入され、ノードDを通過し、ノードCで抽出されるトラヒックと、ノードCで挿入され、ノードBを通過し、ノードAで抽出されるトラヒックと、ノードAで挿入され、ノードFで抽出されるトラヒックとがそれぞれSTS-1#3を使って伝送されることを示している。図10において、図7と同様にA-ノードB間およびC-ノードD間において×印のように、現用回線および予備回線のファイバーの切断等が発生した場合、図11に示すように、図7と同様にループバックするとノードAで抽出されるトラヒックは、誤接続が発生するため、ノードAでは、抽出されるトラヒックに対してもバスAISを挿入する。

【0020】従って、スケルチを行う操作すなわちバスAISを挿入する操作は、バス毎に行う必要がある。例えば、図2、図8および図10に示すように、STS-1#1、#2、#3の回線設定がされている場合、A-ノードB間およびC-ノードD間において障害が発生した場合、ノードAでは、障害回避側予備回線16から受信するSTS-1#1はそのままループバックするが(図7参照)、障害回避側予備回線16から受信するSTS-1#2およびSTS-1#3にはバスAISを挿入する(図9および図11参照)。

【0021】Bellcore GR-1230 Issue2によるとスケルチ操作のために、各ノードは、リング内のノードIDの順番を示したRing Topology Mapと、自ノードを通過、挿入あるいは抽出される各トラヒックがどのノードで挿入され、どのノードで抽出されるかを示すSTS Squelch Mapとを保持する。

【0022】図12に、図2に示すBLSRネットワークのRing Topology Mapの例を示す。図

12は、BLSRネットワーク内ではCW方向に、D、C、B、A、F、Eの順にノードが並んでいることを示している。図12では6つのノードが記述されているが、BLSRでは16までのノード数を許容している。

【0023】また、図13に、図2、図8および図10に示すように回線設定された場合にノードAが保持するCW方向現用回線13の受信側(図5におけるEast側)のSTS Squelch Mapの例を示す。図13は、CW方向現用回線13を介してノードBから伝送されたSTS-1#1は、図2に示すようにノードDで挿入され、ノードFで抽出されることを示している。また、STS-1#2は、図8に示すようにノードCで挿入され、ノードFで抽出されることを示している。同様にSTS-1#3は、図10に示すようにノードCで挿入され、ノードAで抽出されることを示している。OC-48の4-Fiber BLSRの場合には、STS-1#1からSTS-1#48まで記述されている。また、CW方向現用回線13だけでなく、CCW方向現用回線15についても、同様に、STS Squelch Mapを保持している。

【0024】図7、図9および図11に示すような誤接続を防ぐために、各ノードは、図5に示されたスケルチ制御部26を備えている。スケルチ制御部26は、Line切替部7からスイッチの状態を受け取り、スケルチ操作が必要なSTS-1トラヒックにバスAISを挿入する指示をクロスコネクタ部20に出す。

【0025】図14に、スケルチ制御部26におけるスケルチを実行するためのフローチャート例を示す。このフローチャートを実行すると、まずステップ51で自ノードがRing Bridge&Switchを実行しているかを判定する。スケルチを実行するのはRing Bridge&Switchを実行しているノードであるので実行していなければ終了する。次にステップ52で障害回避側から入力されているK-byteとRing Topology MapによりMissing Nodeを特定する。Missing Nodeとは自ノードから見て切り離されているノードである。また、障害回避側から入力されているK-byteとは、図7、図9および図11におけるノードAの場合にはCCW方向予備回線16からのK-byteである。図7、図9および図11に示すような場合にはノードDからK-byteが発出され、CCW方向予備回線16を使用してノードAに入力される。このK-byteが発出されているノードと自ノードの間にあるノードがMissing Nodeであるので、図12に示すようなRing Topology Mapを参照し、図7、図9および図11のノードAから見た場合、ノードDとノードAとの間にあるノード、すなわちノードBおよびノードCがMissing Nodeであると判定される。

【0026】次にステップ52で特定したMissing Nodeから発出されたトラヒックを特定し(ステップ54)、Missing Nodeから発出されたトラヒックをスケルチする、すなわちバスAISを挿入する(ステップ55)。図7、図9および図11のノードAから見た場合には、STS-1#1はMissing Node(B、ノードC)で挿入されていないことがSTS Squelch Mapからわかるのでスケルチせず、STS-1#2およびSTS-1#3はMissing Nodeで挿入されているので障害回避側予備回線16から入力されるSTS-1#2およびSTS-1#3に対してスケルチを行う。同様にしてOC-48の場合にはこのスケルチ操作をステップ53、56、57によってSTS-1#1からSTS-1#48まで48回行う。

【0027】

【発明が解決しようとする課題】上述したように、BLSRネットワークにおいて、各ノードの切替操作の種類は、表1に示したように多岐にわたる。GR-1230によると障害のない状態から切り替え終了まで50ms、二重障害を回避する際には100ms以内にすべての回線の切替を行うことが規定されている。ファームウェアによって切替を実行すると切替制御部からの状態を把握し、バスの接続状況を決定する必要があるため、伝送容量が大きくなるにつれて上記時間規定を満たすことは難しくなる。

【0028】また、上述した従来の方法によると、スケルチを行う際に、まずMissing Nodeを特定し、次にスケルチすべきトラヒックを決定する。したがって、Missing Nodeが多くなった場合には、トラヒックのすべてにおいて挿入ノードがMissing Nodeであるか否かの判定を行う必要がある。この場合、例えば、Missing Nodeが10ノードあるとすると、Missing Nodeが1ノードの場合と比較して、最大で10倍の比較処理を行わなければならない。このような処理をノード内のCPUがソフトウェア処理によって行うとRing Topology MapおよびSTS Squelch Mapを参照しながら処理を行うためにバスAISを発生させるまでかなりの長い時間を要してしまう。

【0029】本発明は、上記問題点を解決するためのもので、簡単なハードウェア構成によって単純な手順で切替を実行することのできるBLSRネットワーク用伝送装置、ネットワークシステム及び切り替え方法を提供することを目的とする。また、簡単なハードウェア構成によってスケルチを実行することのできるBLSRネットワーク用伝送装置を提供することを他の目的とする。

【0030】

【課題を解決するための手段】本発明は、上記課題を解決するために、複数の光ファイバ伝送路に接続され、ま

た、低次群装置を収容するBLSR(Bidirectional LineSwitched Ring)ネットワークシステムにおける、前記低次群装置と前記光ファイバ伝送路との間でトラヒックの挿入と抽出とを行い、障害発生時に方路の切替を行うBLSRネットワーク用伝送装置であって、出力方路毎に、前記トラヒックの出力を制御する出力制御部を有し、前記出力制御部は、入力された前記トラヒックを一時的に保持する保持手段と、前記保持手段のアクセス制御を行う制御手段と、前記障害発生時の方路の切替状態毎に、当該出力方路から出力すべきトラヒックの順番に対応して、前記保持手段に保持するトラヒックの記憶領域を記憶する記憶手段と、前記障害発生時の方路の切替指示を行う切替制御手段とを備え、前記制御手段は、前記切替制御手段から指示された方路の切替指示に従って、前記記憶手段における出力すべきトラヒックの順番に、前記保持手段から、出力すべきトラヒックを読み出し、当該出力方路に読み出したトラヒックを出力させる。このため、BLSRネットワーク用伝送装置の制御手段は、切替制御手段から指示された方路の切替指示に従って、切替指示に対応する切り替え状態に応じて、前記記憶手段における出力すべきトラヒックの順番に、前記保持手段から、出力すべきトラヒックを読み出し、当該出力方路に読み出したトラヒックを出力させることができ、簡単なハードウェア構成によって単純な手順で切替を実行することのできる。

【0031】また、前記出力制御部は、前記障害発生時の方路の切替状態により、出力すべきトラヒックの順番に対応して、当該トラヒックが無効であるか否を示すスケルチ制御情報を記憶するスケルチ記憶手段と、前記トラヒックを出力方路に出力するときに、前記スケルチ記憶手段に記憶するスケルチ制御情報に従って、バスAIS(Alarm Indication Signal)を当該トラヒックに挿入する挿入手段とをさらに備えるようにしてもよい。挿入手段は、トラヒックを出力方路に出力するときに、障害発生時の方路の切替状態に応じて、前記スケルチ記憶手段に記憶するスケルチ制御情報に従って、バスAIS(Alarm Indication Signal)を当該トラヒックに挿入することができる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0033】図15に、図5に示すノード内の本発明の実施の形態によるクロスコネクタ部の構成を示す。図15に示すクロスコネクタ部20において、各伝送路から入力されたトラヒックは、それぞれ振り分けられ、各出力伝送路別に設けられた出力制御部101~105に入力される。各トラヒックは、各出力制御部内のアドレスコントロールメモリ(ACM)1により制御されるセレ

クタ31のいずれかによって選択され、スケルチャ8によって、STS-1トラヒック毎に必要なならばバスAISが入力されて出力される。なお、本実施の形態において、トラヒックは、STS-1単位のバスのタイムスロットに格納されるデータをいう。

【0034】図1に、図15に示すクロスコネクト部における1つの出力制御部の構成を示す。伝送路6は各入力伝送路を示し、各入力伝送路には、あらかじめ識別情報が付加されている。各トラヒックは伝送路6を通してデータメモリ7にSTS番号に対応する領域に蓄えられる。入力されたデータは、一時的にデータメモリ7に蓄えられる。また、ACM1の指令によって指示された入力伝送路のSTS番号に対応する領域に記憶するデータが選択されて出力され、スケルチャ8によって必要なならばバスAISが挿入されて出力伝送路9より出力される。ACM1は、出力すべきトラヒックの順番(出力STS番号)に対応して、入力方路(読出伝送路)と入力トラヒック番号(読出STS番号)とをスイッチの状態毎に示す状態別マップ群2と、各トラヒック毎にスケルチすべきか否かを発出ノード毎に示すスケルチマップ群3とを備える。ACM1は、セクタ32によって選択された状態別マップ群2に格納されたデータに従ってデータメモリ7中のデータを選択するようにセクタ31に指示し、また、バスAISを挿入するか否かのスケルチャ8の制御を行う。

【0035】状態別マップ群2は、前述した表1に示す、すべての状態別に、出力すべきトラヒックの順序で、そのトラヒックの入力方路(読出伝送路、この場合、図1に示すデータメモリ7の識別番号でもよい)とそのトラヒック番号(STS#、この場合、図1に示すデータメモリ7のアドレスでもよい)とがあらかじめ規定されており、Line切替制御部25からの切替命令によって、1つの状態別マップ4が選択される。図17および図19に、状態別マップ群2を具体的に示す。図17は、出力STS番号順に読出伝送路および読出STS番号が記憶されていて、表1に示す状態すべてにおいて記憶されていることを示している。また、図19は、表1に示す通常時(番号1)と、障害時の、表1に示すEast側Span Br&Sw(番号13)と、East側Ring Br&Sw(番号7)との図15に示すCW方向現用回線出力13に対応するACM1における状態別マップ群2の例を示している。ACM1は、Line切替制御部25から指示される切替指示にしたがって、状態別マップ4を選択し、選択した状態別マップに記憶する読出STS番号の#1～#192の順序にしたがって、読出伝送路の読出STS番号に対応するトラヒックのデータを選択するように、セクタ31に指示することができる。なお、ACM1がデータメモリ7に記憶するトラヒックのデータの出力を、データメモリ7の選択およびアドレスにより直接指示する場合に

は、セクタ31を備えずに、データメモリ7の各々から出力されるデータをスケルチャ8に直接入力させるようにしてもよい。例えば、図17に示すように、通常時の状態別マップ4の出力STS番号#1としては、読出伝送路がCW方向現用回線CW(W)であり、読出STS番号が#1であるので、CW方向現用回線CW(W)13に対応するデータメモリ7の#1のデータが読み出され、出力側のCW方向現用回線CW(W)に出力される。同様に、出力STS番号#2～#192まで順番に、トラヒックが出力され、その後、出力STS番号#1に戻る。

【0036】また、スケルチマップ群3は、起こりうる障害におけるすべてのリング分割状態別にあらかじめ作成されていて、スケルチ制御部26からの障害回避側入力K-byteの発出ノードIDによって、1つのスケルチマップが選択される。スケルチマップは、各トラヒック毎にスケルチすべきか否かを示すスケルチフラグを備える。図18および図20にスケルチマップ群3を具体的に示す。図18および図20に示すように、出力STS番号順にスケルチが必要か(Yes)あるいは不要か(No)を示すスケルチフラグが各トラヒック毎に記憶されている。また、スケルチマップは、スケルチ不要の場合(図20(1))と、すべてのリング分割状態毎(図20(2)～(6))とにそれぞれ設けられている。GR-1230によるとリング分割状態は障害回避側から入力されるK-byteの発出ノードによって判断されるので、図18および図20においては、K-byteの発出ノード別にスケルチフラグを記憶する。例えば、図9に示すような障害が発生した場合には、STS-1#2に、AISを挿入する必要があるため、このトラヒックに対応する領域に、スケルチフラグをセットしておく。この場合、ノードAにおいては、ノードDから出力されたK-byteを受信するので、図20(4)に示すような発出ノード=Dのスケルチマップを選択し、出力STS番号#2のスケルチフラグがYESにセットされているので、出力STS番号#2にトラヒックに、AISを挿入する。

【0037】図16は、図1に示す出力制御部をさらに具体的な構成図を示している。図16において状態別マップ群2の各々の状態別マップには、読出伝送路と読出STS番号とが出力すべき順番で書き込まれている。ACM1は、この順番にデータメモリ7からデータを選択するようにデータメモリ7とセクタ31とを制御する。また、スケルチマップ群3の各々のスケルチマップには、スケルチするか否かを示すスケルチフラグが書き込まれ、順番にセクタ31から出力されるデータに対しスケルチが必要ならばAISを挿入するようにスケルチャ8を制御する。スケルチャ8は、ACM1の指示により指定されたSTS-1番号のトラヒックにバスAISを挿入し、ACM1の指示のないトラヒックはそのま

ま通過させるフィルタの役目を持つ。カウンタ回路30は、データメモリ7と選択された状態別マップ4、選択されたスケルチマップ5のデータを読み出すタイミングを制御する。状態別マップ群2はすべての状態別に読出伝送路と読み出すSTS番号があらかじめ作成されていて、Line切替制御部25からの状態によって、1つの状態別マップが選択される。スケルチマップ群3はスケルチが必要な場合のBLSRのすべてのリング分割状態別にあらかじめ作成されていて、スケルチ制御部26からの障害回避側入力K-byteの発出ノードIDによって、1つのスケルチマップが選択される。状態別マップ群2は通常時のクロスコネクトマップが配信あるいは更新された際にすべて作成される。また、スケルチマップ群3はRing Topology MapあるいはSTS Squelch Mapが配信あるいは更新された際にすべて作成される。状態別マップ群2およびスケルチマップ群3はシステムが移動する前にあらかじめ作成しておく。

【0038】以下では、図2、図8および図10に示すように、STS#1、#2、#3の回線が設定された場合の通常時と障害時において、本実施の形態におけるノードAのCW方向現用回線13の出力に関するクロスコネクト部の構成及び動作について説明する。

【0039】図19は、表1に示す通常時(番号1)と、障害時の、表1に示すEast側Span Br&Sw(番号13)と、East側Ring Br&Sw(番号7)との図15に示すCW方向現用回線出力13に対応するACM1における状態別マップ群2の例を示している。なお、実際には状態別マップ群2は、表1に示された状態に対する状態別マップをすべて持っている。状態別マップ群2は前述したように通常時のクロスコネクトマップが配信あるいは更新されたときにすべて作成される。また、各出力伝送路毎に設けられるACM1、セレクト31およびスケルチャ8においても、同様な処理が行われる。

【0040】また、図20は、CW方向現用回線出力13に対応するACM1におけるスケルチマップ群3を示している。スケルチマップ群3は前述したようにRing Topology MapまたはSTS Squelch Mapが配信あるいは更新された際に作成される。

【0041】図21は、表1に示す通常時におけるクロスコネクト部の一部の構成例を示している。図21において、Line切替制御部25は、状態別マップ群2から通常時のマップ(図19(1)参照)を選択するようにセレクト32に指示する。セレクト32は、状態別マップ群2から通常時の状態別マップ4を選択する。また、スケルチ制御部26は、通常時にはスケルチ制御は不要となるため、スケルチマップ群3からスケルチ不要のスケルチマップ5(図20(1)参照)を選択するよ

うにセレクト33に指示する。セレクト33は、通常時のスケルチ不要のマップを選択する。各伝送路から入力されたデータ(D11~D16)の各々は、STS-1単位に、データメモリ7にシーケンシャルに書き込まれることにより、STS番号に対応した位置に格納される。ACM1は、選択された状態別マップ4および選択されたスケルチマップ5の情報に従って、セレクト31を制御することにより、データメモリ7に書き込まれたデータを順番に選択して、データを伝送路に出力させる。

【0042】例えば、カウンタ回路30がインクリメントされると、図19(1)に示すように、選択された状態別マップ4の出力STS番号#1としては、読出伝送路がCW方向現用回線CW(W)であり、読出STS番号が#1であるので、CW方向現用回線CW(W)13に対応するデータメモリ7の#1のデータ(D11)が読み出しを指示され、セレクト31によってCW方向現用回線CW(W)のデータD11が出力される。次に、図20(1)に示すように、選択されたスケルチマップ5において、出力STS番号#1は、スケルチ不要(No)であるため、スケルチャ8では何もしないで、データD11をそのまま出力する。次に、カウンタ回路30がインクリメントされると、選択された状態別マップ4のはCW方向現用回線CW(W)の#2であるので、CW方向現用回線CW(W)の#2のデータであるD12が読み出されて出力される。選択されたスケルチマップ5の出力STS番号#2もスケルチ不要(No)であるので、スケルチャ8は何もしないで、D12をそのまま出力する。次にカウンタ回路30がインクリメントされると、選択された状態別マップ4の出力STS番号#3はAdd回線の#1であるので、セレクト31からAdd回線#1のデータであるD14が出力される。選択されたスケルチマップ5の出力STS番号#1もスケルチ不要(No)であるので、スケルチャ8は何もしないで、D14をそのまま出力する。結果的に、出力側CW方向現用回線CW(W)13には、STS-1#1にD11、STS-1#2にD12、STS-1#3にD14の順にデータが出力される。従って、出力側CW方向現用回線CW(W)13の#1は入力側CW方向現用回線CW(W)13の#1に接続され、出力側CW方向現用回線CW(W)13の#2は入力側CW方向現用回線CW(W)13の#2に接続され、出力側CW方向現用回線CW(W)13の#3はAdd回線#1に接続された状態となる。

【0043】次に、図3に示すような障害が発生して、状態がSpan Br&Swに切り替わったときの動作を図22を参照して説明する。図22は、図3に示すようにノードA-B間でSpan Br&Swが起動された場合のクロスコネクト部の一部の構成例を示している。図22において、Line切替制御部25は、状態

別マップ群2からEast Span Br&Swのマップ(図19(2)参照)を選択するようにセクタ32に指示する。セクタ32は、状態別マップ群2からEast Span Br&Swのマップを選択する。また、スパンスイッチ実行時には、K-byteは発出されないで、スケルチ制御は不要であり、スケルチ制御部26は、スケルチマップ群3からスケルチ不要のスケルチマップ5(図20(1)参照)を選択するようにセクタ33に指示する。セクタ33は、通常時のスケルチ不要のマップを選択する。各伝送路から入力されたデータ(D21~D26)の各々は、STS-1単位に、データメモリ7にシーケンシャルに書き込まれることにより、STS番号に対応した位置に格納される。図21と同様に、ACM1は、選択された状態別マップ4および選択されたスケルチマップ5の情報に従って、セクタ31を制御することにより、データメモリ7に書き込まれたデータを順番に選択して、データを伝送路に出力させる。

【0044】例えば、カウンタ回路30がインクリメントされると、図19(2)に示すように、選択された状態別マップ4の出力STS番号#1としては、CW方向予備回線CW(P)の#1であるので、セクタ31によってCW方向予備回線CW(P)のデータD21が選択されて出力される。次に選択されたスケルチマップ5の出力STS番号#1は、スケルチ不要(No)であるため、このデータはスケルチャ8では何もしないで、データD21をそのまま出力する。次に、カウンタ回路30がインクリメントされると、選択された状態別マップ4の出力STS番号#2はCW方向予備回線CW(P)の#2であるので、セクタ31からCW方向予備回線CW(P)の#2のデータであるD22が出力される。選択されたスケルチマップ5の出力STS番号#2もスケルチ不要(No)であるので、スケルチャ8は何もしないで、D22をそのまま出力する。次にカウンタ回路30がインクリメントされると選択された状態別マップ4の出力STS番号#3はAdd回線の#1であるので、セクタ31からAdd回線#1のデータであるD24が出力される。選択されたスケルチマップ5の出力STS番号#3もスケルチ不要(No)であるので、スケルチャ8は何もしないで、D24をそのまま出力する。結果的に、出力側CW方向現用回線CW(W)13には、STS-1#1にD21、#2にD22、#3にD24の順にデータが出力される。従って、CW方向現用回線CW(W)13の#1はCW方向予備回線CW(P)の#1に接続され、出力側CW方向現用回線CW(W)13の#2はCW方向予備回線CW(P)の#2に接続され、出力側CW方向現用回線CW(W)13の#3はAdd回線#1に接続された状態となる。

【0045】次に、図7に示すような障害が発生して、状態がEast Ring Br&Swに切り替わった

ときの動作を図23を参照して説明する。図23は、図7、図9および図11に示すようにノードA-B間およびノードC-D間において×印のようにファイバーの切断等が発生した場合ロスコネクト部の一部の構成例を示している。図23において、Line切替制御部25は、状態別マップ群2からEast Ring Br&Swのマップ(図19(3)参照)を選択するようにセクタ32に指示する。セクタ32は、状態別マップ群2からEast Ring Br&Swの状態別マップ4を選択する。また、障害回避側(West側)から入力されるK-byteの発出ノードはノードDであるのでスケルチ制御部26は、発出ノード=Dであるスケルチマップ5(図20参照(4))を選択するようにセクタ33に指示する。セクタ33は、発出ノード=Dのスケルチマップ5を選択する。各伝送路から入力されたデータ(D31~D36)の各々は、STS-1単位に、データメモリ7にシーケンシャルに書き込まれることにより、STS番号に対応した位置に格納される。図23に示すように、ACM1は、選択された状態別マップ4および選択されたスケルチマップ5の情報に従って、セクタ31を制御することにより、データメモリ7に書き込まれたデータを順番に選択して、データを伝送路に出力させる。

【0046】例えば、カウンタ回路30がインクリメントされると、図19(3)に示すように、選択された状態別マップ4の出力STS番号#1としてはCCW方向予備回線CCW(P)の#1であるので、セクタ31によってCCW方向予備回線CCW(P)の#1のデータD31が選択されて出力される。次に、図20(4)に示すように、選択されたスケルチマップ5の出力STS番号#1はスケルチ不要(No)であるため、スケルチャ8は何もしないで、データD31をそのまま出力する。次に、カウンタ回路30がインクリメントされると、選択された状態別マップ4の出力STS番号#2はCCW方向予備回線CCW(P)の#2であるので、セクタ31からD32が出力される。選択されたスケルチマップ5の出力STS番号#2はスケルチ要(Yes)であるので、スケルチャ8にてAISが挿入される。次に、カウンタ回路30がインクリメントされると選択された状態別マップ4の出力STS番号#3はAdd回線の#1のデータであるので、セクタ31からD34が出力される。選択されたスケルチマップ5の出力STS番号#3はスケルチ不要(No)であるので、スケルチャ8は何もしないで、D34を出力する。従って、出力側CW方向現用回線CW(W)にはSTS-1#1にD31、STS-1#2にはAIS、STS-1#3にはD34の順にデータが出力される。結果的に、出力側CW方向現用回線CW(W)の#1は入力側CCW方向予備回線CCW(P)の#1に接続され、出力側CW方向現用回線CW(W)の#2はAISが挿入され、

出力側CW方向現用回線CW(W)の#3はAdd回線#1に接続された状態となる。

【0047】なお、図20に示すスケルチ要の場合のスケルチマップ2が選択されるのは、Ring Br&Swの状態のみであり、その他の場合は図20(1)に示すスケルチ不要のマップが選択される。

【0048】図21、図22および図23において説明したように、本実施の形態によれば、状態が変化した場合には、Line切替制御部25による、状態に応じた状態別マップの選択の制御のみで方路の切替が各トラヒック毎に可能になる。また、各トラヒック毎に行う必要のあるスケルチ操作もスケルチ制御部26による、障害回避方向から入力されるK-byteの発出ノードに応じたスケルチマップの選択の制御のみで実行することができる。なお、本実施の形態では、CW方向現用回線13の出力に係る構成についてのみ述べたが、他の各伝送路出力も同じ構成を持つことによって切替およびスケルチ操作が可能である。

【0049】次に、第2の実施の形態を説明する。図6に、本発明の第2の実施の形態における装置構成を示す。第2の実施の形態では、図16に示す状態別マップ群2およびスケルチマップ群3の代わりに状態別および発出ノード別にACM110および120を備え、Line切替制御部25およびスケルチ制御部26の制御によってACM110および120の出力を選択する場合の構成を説明する。図6において、ACM110は、表1に示す状態毎に、出力すべきトラヒックの順序で、入力方路(読出伝送路)と入力トラヒック番号(読出STS番号)とを記憶する。また、ACM120は、各トラヒック毎にスケルチすべきか否かを発出ノード毎に記憶する。Line切替制御部25は、表1に示す状態のいずれかを指示することによりACM110のいずれかを選択し、また、スケルチ制御部26は、障害時のK-byteの発出ノードにより、ACM120のいずれかを選択する。これにより、第1の実施の形態と同様に、Line切替制御部25による、状態に応じた状態別マップの選択の制御のみで方路の切替が各トラヒック毎に可能になる。また、各トラヒック毎に行う必要のあるスケルチ操作もスケルチ制御部26による、障害回避方向から入力されるK-byteの発出ノードに応じたスケルチマップの選択の制御のみで実行することができる。

【0050】なお、第1および第2の実施の形態は、OC-48 4-Fiber BLSRを例にしたが、一般的なOC-N 4-FiberあるいはOC-N 2-Fiber BLSRネットワークにも適用することができる。2-Fiber BLSRは、全帯域の半分を現用に割り当て、残りの半分为予備に割り当てているので、予備に割り当てた帯域を予備回線と想定すれば本発明の実施の形態が適用できる。

【0051】

【発明の効果】本発明によれば、BLSRネットワーク用伝送装置において、簡単なハードウェア構成によって、簡単な手順で切替が実行できる。また、リング分割等によりスケルチが必要な場合にも簡単な手順でバスAISを挿入することができる。また、この切替およびスケルチ操作はデータを選択するのみであるので切替終了あるいはスケルチ操作終了までの時間が短縮できる。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるノードの基本構成図

【図2】4-Fiber BLSRにおける回線設定例を示す説明図(その1)

【図3】回線設定例(その1)におけるスパンスイッチによる復旧例を示す説明図

【図4】回線設定例(その1)におけるリングスイッチによる復旧例を示す説明図

【図5】4-Fiber BLSRにおけるノード構成例を示す説明図

【図6】本発明の第2の実施の形態におけるノードの構成を示す説明図

【図7】回線設定例(その1)におけるリング分割時の復旧例を示す説明図

【図8】4-Fiber BLSRにおける回線設定例を示す説明図(その2)

【図9】回線設定例(その2)におけるリング分割時の復旧例を示す説明図

【図10】4-Fiber BLSRにおける回線設定例を示す説明図(その3)

【図11】回線設定例(その3)におけるリング分割時の復旧例を示す説明図

【図12】Ring Toplogy Mapの例を示す説明図

【図13】STS Squelch Mapの例を示す説明図

【図14】スケルチを実行するフローチャートの例を示す説明図

【図15】本発明の実施の形態におけるクロスコネクト部の構成図

【図16】図1に示す構成をさらに具体的に示す構成図

【図17】本発明の実施の形態における状態別マップ群を示す説明図

【図18】本発明の実施の形態におけるスケルチマップ群を示す説明図

【図19】状態別マップ群の例を示す説明図(1)~(3)

【図20】スケルチマップ群の例を示す説明図(1)~(6)

【図21】本発明の実施の形態における通常時の動作例を示す説明図

【図22】本発明の実施の形態におけるSpan Br

& Sw実行時の動作例を示す説明図

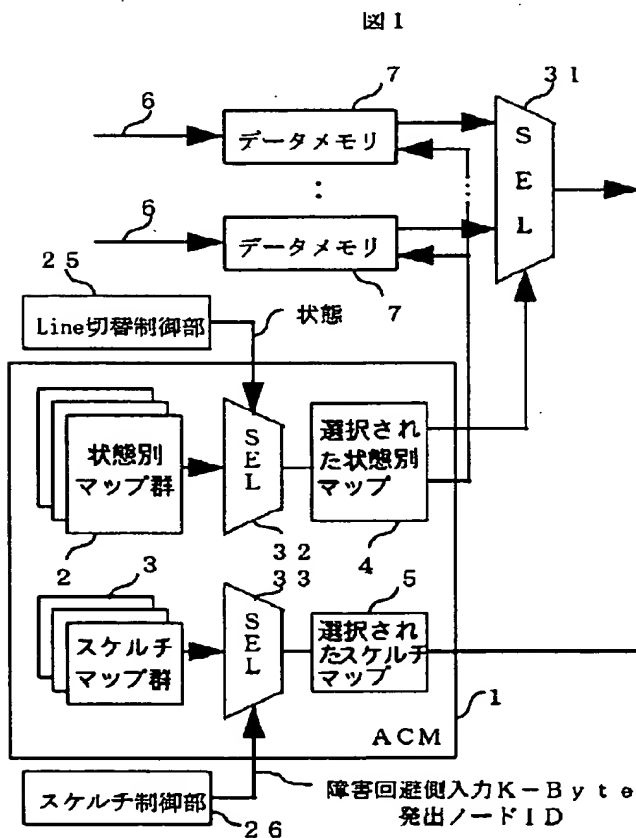
【図23】本発明の実施の形態におけるリング分割を伴うRing Br&Sw実行時の動作例を示す説明図

【符号の説明】

- 1…アドレスコントロールメモリ (ACM)
 2…状態別マップ群
 3…スケルチマップ群
 4…選択された状態別マップ
 5…選択されたスケルチマップ
 6…入力伝送路
 7…データメモリ
 8…スケルチャ
 9…出力伝送路
 10…BLSRネットワーク
 11…光ファイバ伝送路群

- 12…ノード
 13…CW方向現用回線
 14…CW方向予備回線
 15…CCW方向現用回線
 16…CCW方向予備回線
 20…クロスコネクタ部
 21…光レシーバ
 22…光トランスミッタ
 23…オーバヘッド処理部
 25…Line切替制御部
 26…スケルチ制御部
 27…Add回線
 28…Drop回線
 30…カウンタ回路
 31～33…セクタ。

【図1】



【図12】

図12

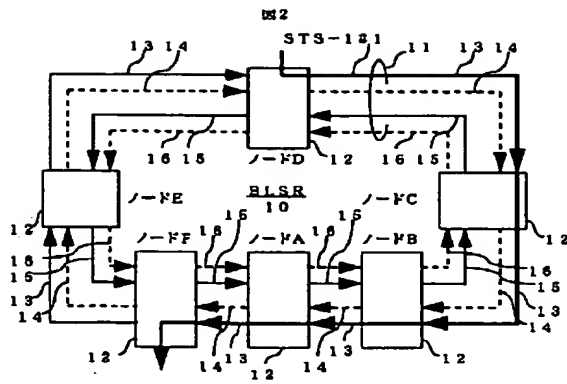
CW方向	
1	D
2	C
3	B
4	A
5	F
6	E

【図13】

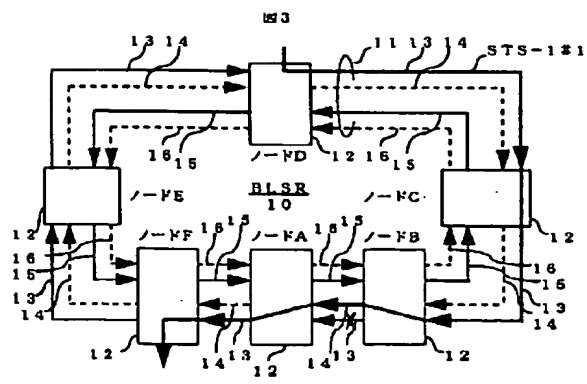
図13

STS-1番号	バス挿入ノードID	バス抽出ノードID
#1	D	F
#2	C	F
#3	B	A
:	:	:
:	:	:

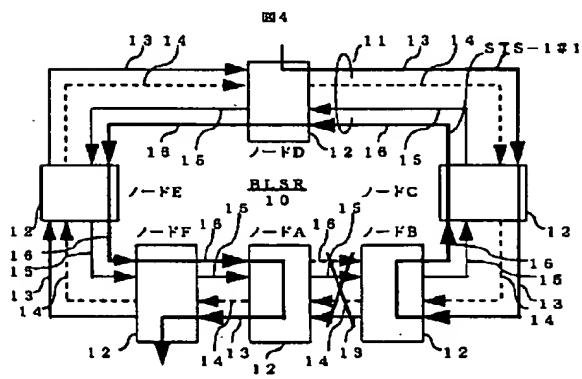
【図2】



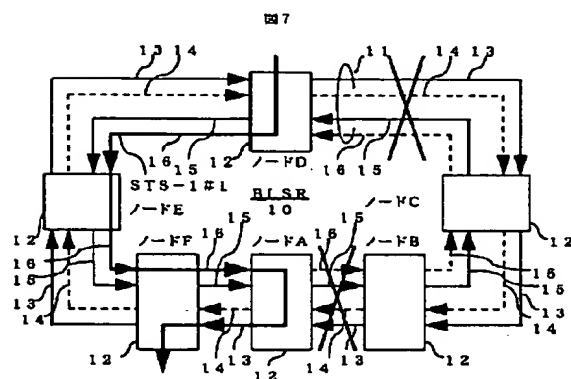
【図3】



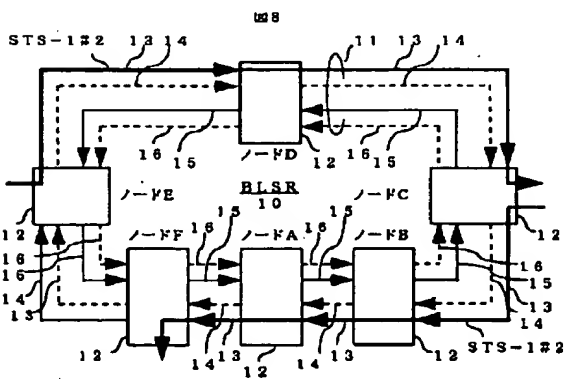
【図4】



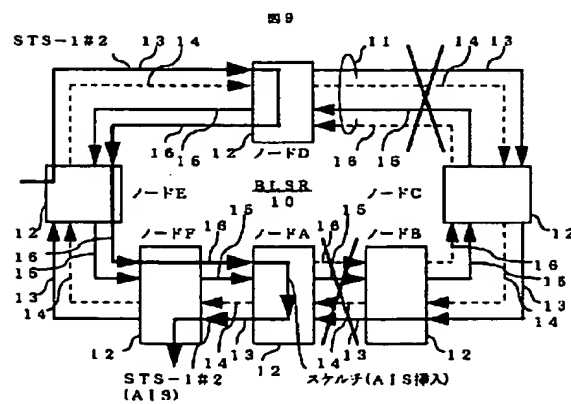
【図7】



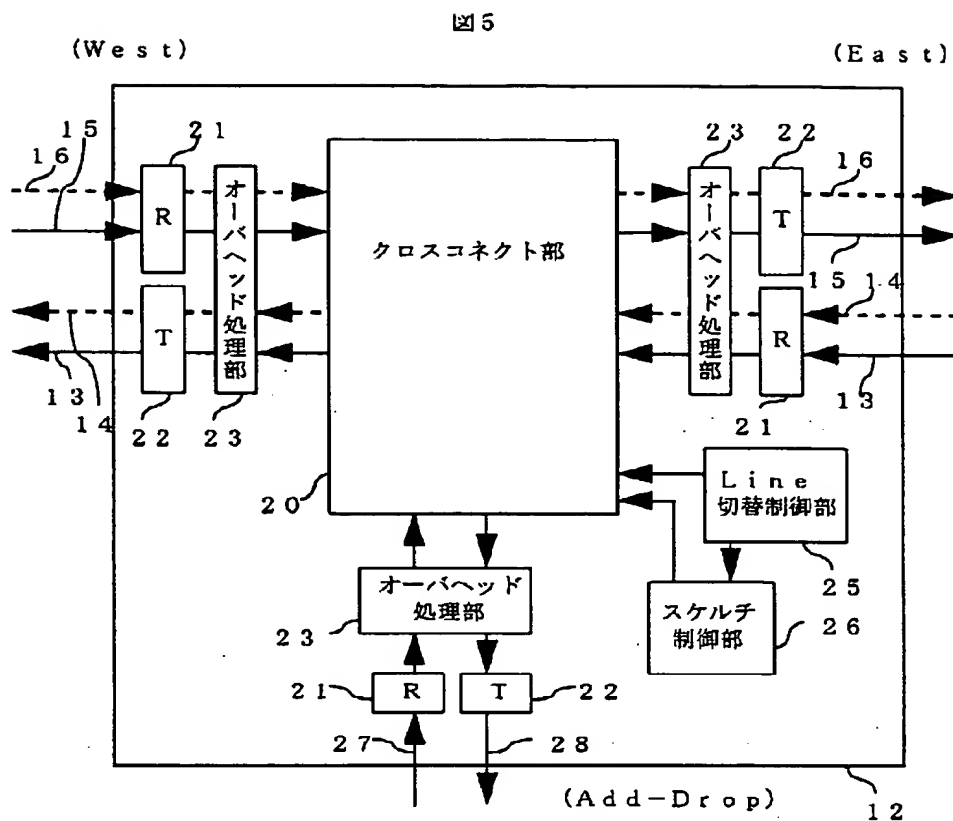
【図8】



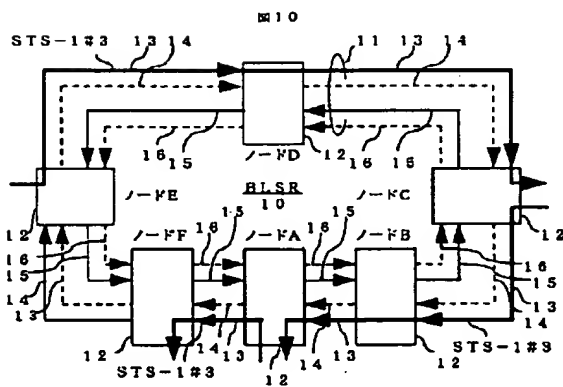
【図9】



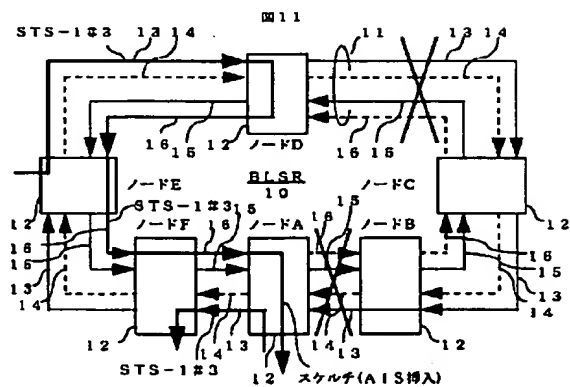
【図5】



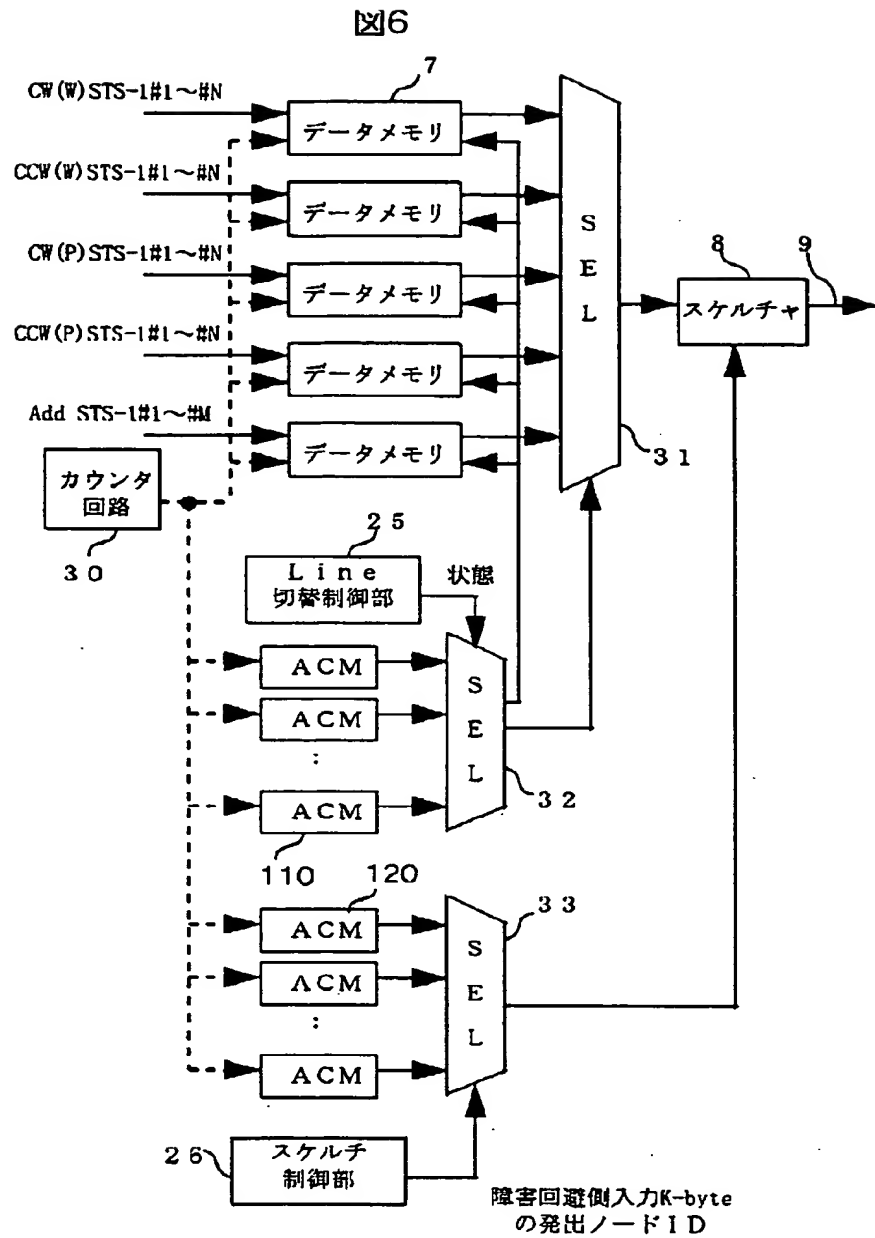
【図10】



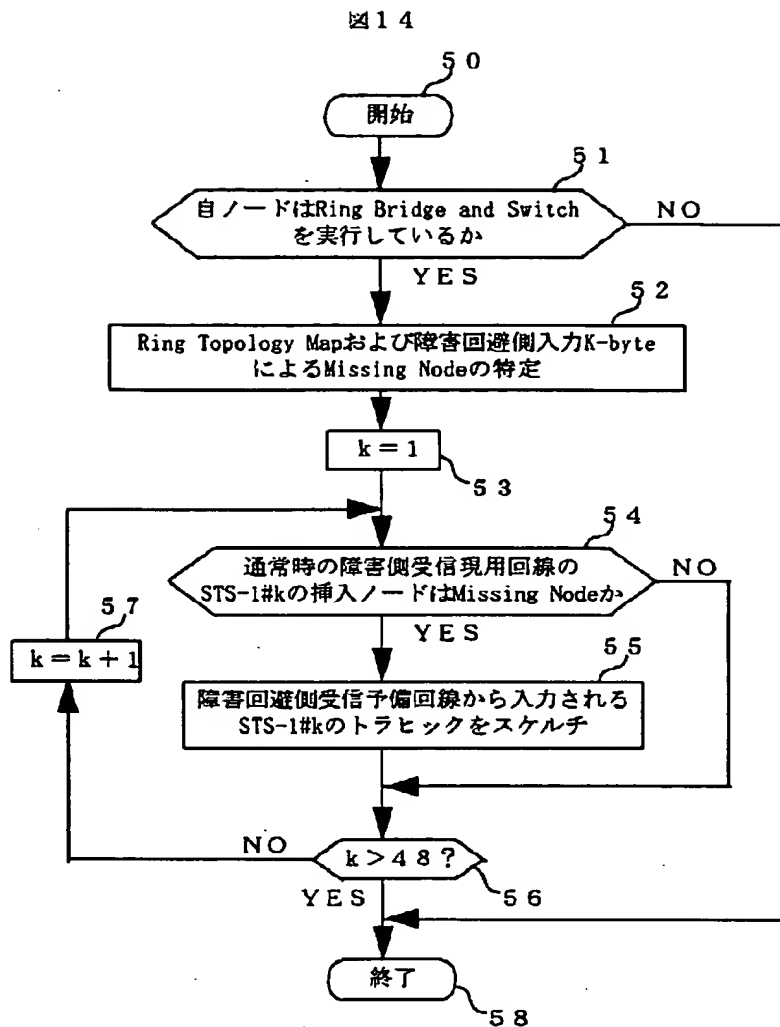
【図11】



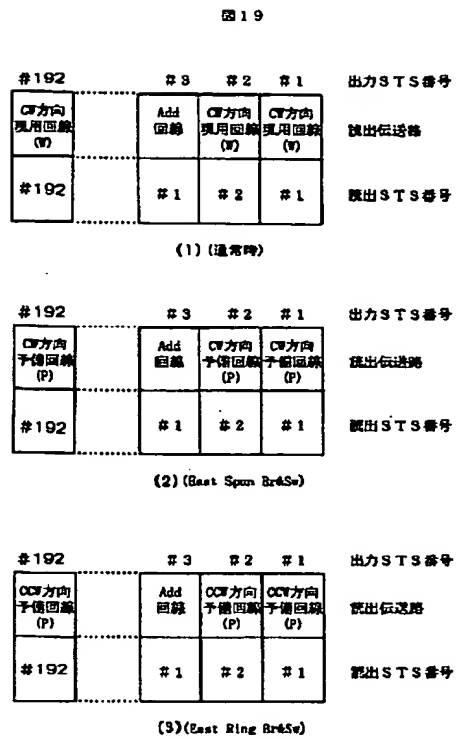
【図6】



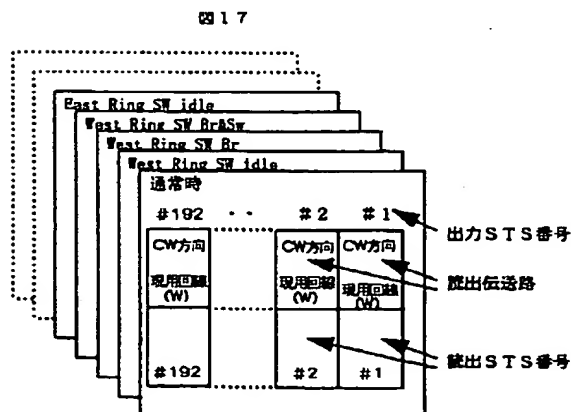
【図14】



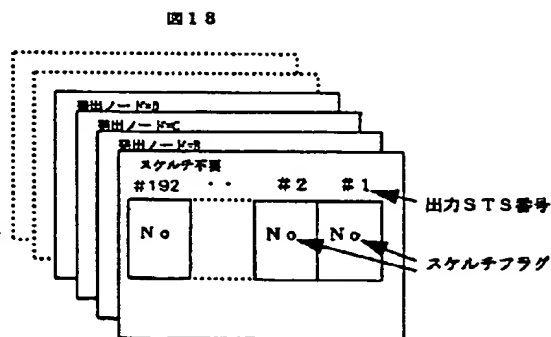
【図19】



【図17】



【図18】



【図16】

